

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031614  
 (43)Date of publication of application : 28.01.2000

(51)Int.CI. H05K 1/11  
 G06K 19/077  
 H05K 1/14  
 // H01R 12/06  
 H01R 12/16

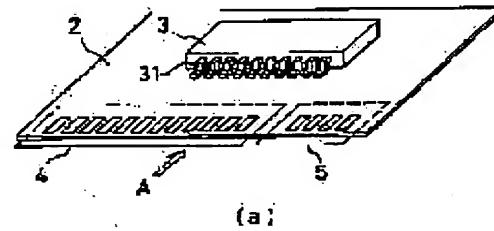
(21)Application number : 10-309030 (71)Applicant : SEIKO EPSON CORP  
 (22)Date of filing : 29.10.1998 (72)Inventor : OBA AKIRA

(30)Priority  
 Priority number : 09302194 Priority date : 04.11.1997 Priority country : JP

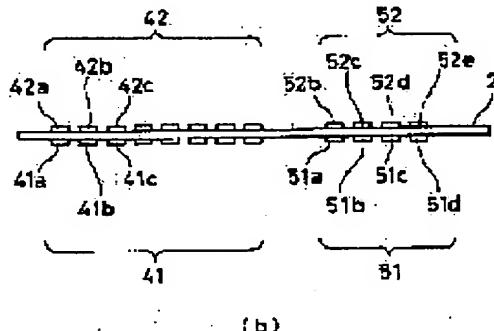
**(54) MEMORY MODULE, LAMINATE FOR MEMORY MODULES; MEMORY CARD WITH THE MODULE AND COMPUTER**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent the increase in a mounting surface, while holding general purposes by bringing terminals of a first connecting terminal group in an electrical continuity between connecting terminals of asymmetrical positions at both surfaces of a circuit board and connecting terminals of a second connecting terminal group between connecting terminals of symmetrical positions at both surfaces of the board.



**SOLUTION:** Connecting terminal groups 41, 41 are conducted between connecting terminals facing via through-holes in a circuit board, and connected to the connecting terminals for transmitting signals commonly used for all memory modules such as address lines, data lines and the like of a connecting terminal group 31 of a memory 3. Meanwhile, connecting terminal groups 51, 52 do not make continuity between facing connecting terminals, but make a continuity via the connecting terminals adjacent to the facing connecting terminals and through-holes. Thus, necessary signals can be connected to all the modules with a simple structure, and an increase in a mounting area can be prevented while maintaining general purpose properties.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31614

(P2000-31614A)

(43)公開日 平成12年1月28日 (2000.1.28)

(51)Int.Cl.  
H 05 K 1/11  
G 06 K 19/077  
H 05 K 1/14  
  
// H 01 R 12/06

識別記号

F I  
H 05 K 1/11  
1/14  
G 06 K 19/00  
H 01 R 9/09

テマコード(参考)  
C  
E  
A  
K  
C

審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平10-309030  
(22)出願日 平成10年10月29日 (1998.10.29)  
(31)優先権主張番号 特願平9-302194  
(32)優先日 平成9年11月4日 (1997.11.4)  
(33)優先権主張国 日本 (J P)

(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72)発明者 大場 亮  
長野県諏訪市大和3丁目3番5号 セイコ  
エプソン株式会社内  
(74)代理人 100093388  
弁理士 鈴木 喜三郎 (外2名)

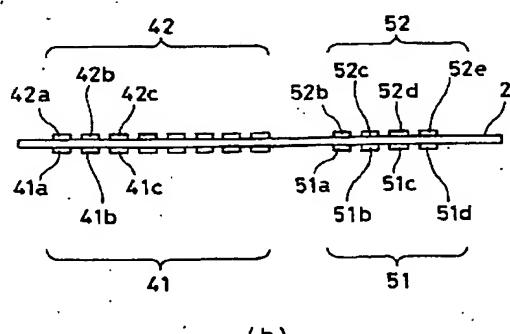
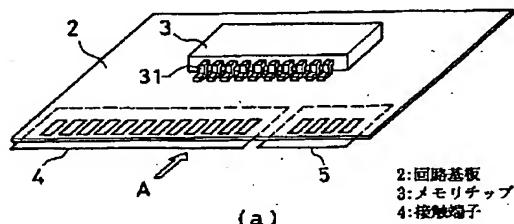
(54)【発明の名称】メモリモジュールおよびメモリモジュールの積層体ならびにメモリモジュールを具備するメモリカードおよびコンピュータ

(57)【要約】

【課題】メモリモジュールを機器本体に複数枚装着する際、各メモリモジュールに固有の信号があるため接続端子が共有できず、装着可能なメモリモジュール数を増やすべば増やすほど機器本体の接続端子数が多くなり接続方法が複雑になってしまう。

【解決手段】両面に接続端子を配列したメモリモジュールにおいて、すべてのメモリモジュールに共有の信号を伝える接続端子は、反対面に対向して存在する接続端子と導通をとり、各メモリモジュールに固有の信号を伝える接続端子は、反対面に対向して存在する接続端子とは一定間隔離れた接続端子と導通をとる。

【効果】接続端子への信号の割り当てが同一のメモリモジュールを複数枚重ねて装着する際に、必要な信号をすべてのメモリモジュールに単純な構造で接続できるようになる。



## 【特許請求の範囲】

【請求項1】 メモリチップが実装された回路基板と、当該回路基板の両面における対称位置に各々設けられた複数の接続端子と、当該接続端子を介して前記メモリチップとの信号の受け渡しが行われてなるメモリモジュールにおいて、

前記接続端子は、前記メモリチップにおける特定の信号の受け渡しをなす第1接続端子群と、前記メモリチップにおける他の信号の受け渡しをなす第2接続端子群と、のそれぞれを有し、

前記第1接続端子群の接続端子は、前記回路基板の両面における非対称位置の接続端子との間で電気的に導通されてなるとともに、

前記第2の接続端子群の接続端子は、前記回路基板の両面における対称位置の接続端子との間で電気的に導通されてなることを特徴とするメモリモジュール。

【請求項2】 請求項1に記載のメモリモジュールを重ね合わせ、これらメモリモジュールへの信号の受け渡しをおこなうメモリモジュールの積層体であって、前記メモリチップと電気的に導通され、対面位置に配置された前記接続端子同士をそれぞれ電気的に接続してなることを特徴とするメモリモジュールの積層体。

【請求項3】 請求項2に記載のメモリモジュールの積層体は機器本体に実装されてなることを特徴とする請求項2に記載のメモリモジュールの積層体。

【請求項4】 前記機器本体には前記メモリモジュールの装着用のコネクタが実装されていることを特徴とする請求項3に記載のメモリモジュールの積層体。

【請求項5】 重なり合う前記メモリモジュールの対面する前記接続端子の間に異方性導電接着部材を介在させたことを特徴とする請求項2に記載のメモリモジュールの積層体。

【請求項6】 請求項1に記載のメモリモジュールを重ね合わせ、これらメモリモジュールをコネクタで挟み込むメモリモジュールの積層体であって、

前記コネクタに一方の嵌合用部位が設けられ、前記回路基板に他方の嵌合用部位が設けられ、前記一方の嵌合用部位と前記他方の嵌合用部位とを嵌合させて重なり合う前記メモリモジュールの対面する前記接続端子同士の電気的導通を図ってなることを特徴とするメモリモジュールの積層体。

【請求項7】 前記回路基板をフレキシブル基板で構成し、前記コネクタの挟み込みにより前記接続端子同士の接続を可能としたことを特徴とする請求項4乃至請求項6に記載のメモリモジュールの積層体。

【請求項8】 接続端子を介してメモリチップとの信号の受け渡しが行われてなるメモリモジュールを機器本体に取り付けるメモリモジュールの積層体であって、前記メモリチップに対し特定の信号の受け渡しをなす接続端子であって重なり合うメモリモジュールの対面する接続

端子同士を接続するとともに、他の信号の受け渡しをなす接続端子であって重なり合う前記メモリモジュールの対面する接続端子同士を接続し、これらを共通信号線とし、当該共通信号線を前記機器本体に接続したことを特徴とするメモリモジュールの積層体。

【請求項9】 メモリチップが実装された複数のメモリモジュールを機器本体に取り付けるメモリモジュールの積層体であって、前記メモリチップに対し特定の信号の受け渡しをなす接続端子を個々に前記機器本体に接続するとともに、他の信号の受け渡しをなす接続端子であって、重なり合う前記メモリモジュールの対面する接続端子同士を接続し、これを共通信号線とし、当該共通信号線を前記機器本体に接続したことを特徴とするメモリモジュールの積層体。

【請求項10】 請求項1記載のメモリモジュールを具備していることを特徴とするメモリカード。

【請求項11】 請求項1記載のメモリモジュールを具備していることを特徴とするコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、両面に接続端子を配列した回路基板を有するメモリモジュールおよびメモリモジュールの積層体ならびにメモリモジュールを具備するメモリカードおよびコンピュータに関する。

## 【0002】

【従来の技術】 従来、メモリカードやコンピュータなどに用いられるメモリモジュール101では、回路基板102の表面に一個以上のメモリチップ103が実装されている。図11は従来のメモリモジュール1の形態を示す斜視図である。同図に示すように回路基板102の長手方向片側の縁辺には、実装されたメモリチップ103(の各端子)との導通がなされた接触端子104が配列されている。また当該接触端子104は回路基板102の両面にそれぞれ対向するように設けられており(裏面側は図示せず)、対面する接触端子104同士は導通が図られるようになっている。なお対面する接触端子104同士の導通は、回路基板102に設けられたスルーホール(図示せず)にて行われる。

【0003】 そして上述したメモリモジュール101は、メモリカードやコンピュータを構成する主基板105に設けられたコネクタ106に取り付けられる。図12は、メモリモジュール101をコネクタ106に取り付けた状態を示す側面図である。同図に示すように主基板105の表面には複数のコネクタ106が設けられており、当該コネクタ106にメモリモジュール101を個別に装着することで、主基板105側から個々のメモリモジュール101に信号の受け渡しを可能にする。

## 【0004】

【発明が解決しようとする課題】 しかし従来のメモリモ

ジユール101では、メモリ容量を増加させる目的から前記メモリモジュール101の装着枚数を多くしようとすると、コネクタ106の個数を増やさなければならず、このため実装面積が増大し、もってメモリカードおよびコンピュータ自体の小型化を達成するのが難しくなるという問題点があった。

【0005】そしてこの問題を解決するため図13に示すようなメモリモジュール101が考えられる。すなわち同図に示すようなメモリモジュール101では、当該メモリモジュール101毎に回路基板102上の配線107を変え、各メモリモジュール101における接触端子104の干渉を起こさないようにしている。こうしたメモリモジュール101を同番号の接触端子104同士を接続するようなコネクタに装着すれば、一つのコネクタの実装面積で、多数のメモリモジュール101を装着することができる。しかし上述した方法では、一台の機器本体に対してすべて異なるメモリモジュール101を使用しなければならず、メモリモジュール101の汎用性がなくなるという問題が新たに生じる。

【0006】本発明は上記従来の問題点に着目し、汎用性を保つつ実装面積の増大を防止することのできるメモリモジュールおよびメモリモジュールの積層体ならびにメモリモジュールを具備するメモリカードおよびコンピュータを提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1に記載のメモリモジュールは、メモリチップが実装された回路基板と、当該回路基板の両面における対称位置に各々設けられた複数の接続端子と、当該接続端子を介して前記メモリチップとの信号の受け渡しが行われてなるメモリモジュールにおいて、前記接続端子は、前記メモリチップにおける特定の信号の受け渡しをなす第1接続端子群と、前記メモリチップにおける他の信号の受け渡しをなす第2接続端子群と、のそれぞれを有し、前記第1接続端子群の接続端子は、前記回路基板の両面における非対称位置の接続端子との間で電気的に導通されてなるとともに、前記第2の接続端子群の接続端子は、前記回路基板の両面における対称位置の接続端子との間で電気的に導通されてなることを特徴としている。請求項1に記載のメモリモジュールによれば、第1接続端子群では、メモリモジュール同士を重ね合わせて対面する接続端子同士を接触させると、当該接続端子は回路基板における表面と裏面とが非対称位置に導通されているので、積層されたメモリモジュールの端面側、すなわち最上段または最下段のメモリモジュールの接続端子に信号を送れば、当該信号はメモリモジュールの積層方向へと伝わり、任意のメモリモジュールに信号を伝達させることができる。そして本発明のメモリモジュールは以上の構成を有するので、接続端子への信号の割り当てが同一のメモリモジュールを複数枚重ねて装着する際に、必要な信号をすべてのメ

モリモジュールに単純な構造で接続できるようになる。また特定の信号とは、具体的にはチップインエプル（別名、チップセレクト）といった信号をさし、概念的に言い換えると本体機器がどのメモリICまたは、どのメモリモジュールにアクセスするのか選択するという機能を有する信号を指す。

【0008】請求項2に記載のメモリモジュールの積層体は、請求項1に記載のメモリモジュールを重ね合わせ、これらメモリモジュールへの信号の受け渡しをおこなうメモリモジュールの積層体であって、前記メモリチップと電気的に導通され、対面位置に配置された前記接続端子同士をそれぞれ電気的に接続してなることを特徴としている。請求項2に記載のメモリモジュールの積層体によれば、最上段または最下段のメモリモジュールの接続端子への信号の送り出しによって積層される任意のメモリモジュールに前記信号を送り出すことができる。なお他の信号は、最上段または最下段のメモリモジュールの接続端子への信号の送り出しによって積層される全ての守りモジュールに伝達することができる。

【0009】請求項3に記載のメモリモジュールの積層体は、請求項2に記載のメモリモジュールの積層体は機器本体に実装されてなることを特徴としている。請求項3に記載のメモリモジュールの積層体によれば、機器本体に対し各メモリモジュール毎に実装する必要がなく、一括して実装することが可能になる。

【0010】請求項4に記載のメモリモジュールの積層体は、前記機器本体には前記メモリモジュールの装着用のコネクタが実装されていることを特徴としている。請求項4に記載のメモリモジュールの積層体によれば、機器本体に対してメモリモジュールの積層体の着脱を容易におこなうことができる。

【0011】請求項5に記載のメモリモジュールの積層体は、重なり合う前記メモリモジュールの対面する前記接続端子の間に異方性導電接着部材を介在させたことを特徴としている。請求項5に記載のメモリモジュールの積層体によれば、積層されるメモリモジュール間にコネクタを設けなくともメモリモジュール間の導通を図ることができる。このためメモリモジュールの積層方向の厚みを薄くするとともに狭ピッチに対応させることができる。

【0012】請求項6に記載のメモリモジュールの積層体は、請求項1に記載のメモリモジュールを重ね合わせ、これらメモリモジュールをコネクタで挟み込むメモリモジュールの積層体であって、前記コネクタに一方の嵌合用部位が設けられ、前記回路基板に他方の嵌合用部位が設けられ、前記一方の嵌合用部位と前記他方の嵌合用部位とを嵌合させて重なり合う前記メモリモジュールの対面する前記接続端子同士の電気的導通を図ってなることを特徴としている。請求項6に記載のメモリモジュールの積層体によれば、請求項1に記載のメモリモジュ

ールの回路基板とコネクタに設けた嵌合用部位を嵌合させることで、当該コネクタと複数のメモリモジュールとの位置決めを行いつつ、このコネクタにて積層されたメモリモジュールを保持することができる。そしてコネクタに面するメモリモジュールの接続端子に対し信号を送れば、当該信号はメモリモジュールの積層方向に移動することができる。このためコネクタに面するメモリモジュールの任意の接続端子に信号を送り出せば任意の枚数目のメモリモジュールに信号を伝達させることができる。

【0013】請求項7に記載のメモリモジュールの積層体は、前記回路基板をフレキシブル基板で構成し、前記コネクタの挟み込みにより前記接続端子同士の接続を可能としたことを特徴としている。請求項7に記載のメモリモジュールの積層体によれば、フレキシブル基板は外力に対して可とう性があるので、コネクタにてメモリモジュールの積層方向に力を加えれば、その力にてフレキシブル基板がたわみ、当該フレキシブル基板に設けた接続端子同士が密着する。このフレキシブル基板の可とう性によりコネクタの僅かな挟み込みの力でも接続端子同士が密着するので導通の信頼性の向上を図ることができる。

【0014】請求項8に記載のメモリモジュールの積層体は、接続端子を介してメモリチップとの信号の受け渡しが行われてなるメモリモジュールを機器本体に取り付けるメモリモジュールの積層体であって、前記メモリチップに対し特定の信号の受け渡しをなす接続端子であって重なり合うメモリモジュールの対面する接続端子同士を接続するとともに、他の信号の受け渡しをなす接続端子であって重なり合う前記メモリモジュールの対面する接続端子同士を接続し、これらを共通信号線とし、当該共通信号線を前記機器本体に接続したことを特徴としている。請求項8に記載のメモリモジュールの積層体によれば、積層された各メモリモジュールの選択、および選択がなされたメモリモジュールへのデータ信号等の送受が機器本体から共通信号線を介しておこなうことができる。なお共通信号線のみを機器本体に接続させたことから当該機器本体に対する実装面積の低減を図ることができる。

【0015】請求項9に記載のメモリモジュールの積層体は、メモリチップが実装された複数のメモリモジュールを機器本体に取り付けるメモリモジュールの積層体であって、前記メモリチップに対し特定の信号の受け渡しをなす接続端子を個々に前記機器本体に接続するとともに、他の信号の受け渡しをなす接続端子であって、重なり合う前記メモリモジュールの対面する接続端子同士を接続し、これを共通信号線とし、当該共通信号線を前記機器本体に接続したことを特徴としている。請求項9に記載のメモリモジュールの積層体によれば、他の信号の受け渡しをなす接続端子同士を接続し、これを共通信号

線としたことから、機器本体との接続は共通信号線だけで行えよ。このため実装面積の低減を図ることができる。

【0016】請求項10に記載のメモリカードは、請求項1記載のメモリモジュールを具備していることを特徴としている。請求項10に記載のメモリカードによれば、メモリモジュールの実装面積を低減させることができるので、もってメモリカード自体の小型化を達成することができ、且つメモリモジュールを多数装着することができる。

【0017】請求項11に記載のコンピュータは、請求項1記載のメモリモジュールを具備していることを特徴としている。請求項11に記載のコンピュータによれば、メモリモジュールの実装面積を低減させることができるので、もってコンピュータ自体の小型化を達成することができ、且つメモリモジュールを多数装着することができる。

【0018】

【発明の実施の形態】以下に本発明に係るメモリモジュールならびにメモリモジュールを具備するメモリカードおよびコンピュータに好適な具体的実施の形態を図面を参照して詳細に説明する。

【0019】図1(a)、(b)は、本発明の一実施例によるメモリモジュールを示す図面である。図1(a)において、2は回路基板、3はメモリであり、前記回路基板2上にはんだ付けなどにより実装されている。回路基板2の一端にはメモリ3の接続端子群31と導通のとれた接続端子群4、5が形成されており、これにより外部とのデータの授受が可能になる。図1(b)はこのメモリモジュールをAの方向から見た正面図である。回路基板2の一方の面に接続端子群41、51が形成されており、その反対面には前記接続端子群41、51とほぼ対称に接続端子群42、52が形成されている。ここで、接続端子群41と42は回路基板内でスルーホールにより対向して存在する接続端子同士の導通をとっている。つまり、接続端子41aは接続端子42aと、接続端子41bは接続端子42bと、接続端子41cは接続端子42cと導通をとっている(以降省略)。これらの接続端子群41、42はメモリ3の接続端子群31のうち

アドレスラインやデータラインなど、すべてのメモリモジュールに共有の信号を伝達するための接続端子に接続されている。一方、接続端子群51と52は対向する接続端子同士は導通をとておらず、対向して存在する接続端子に隣接する接続端子とスルーホールにより導通をとっている。つまり、接続端子51bは接続端子52bと、接続端子51cは接続端子52cと、接続端子51dは接続端子52dとそれぞれ導通をとっている。また、接続端子51aはメモリ3の接続端子群31のうちイネーブル信号など、各メモリモジュールに固有の信号を伝達するための接続端子と接続されている。

【0020】図2は、以上のような構成としたメモリモジュール複数枚を機器本体に装着した様子を表す説明図である。ここで6は機器本体で、各メモリモジュールと接続するための接続端子群40、50を備えている。なお機器本体6は、メインボード（主基板）や、当該メインボードが取り付けられたメモリカードおよびコンピュータ等を示す。接続端子群40はアドレスラインやデータライン等、すべてのメモリモジュールに共有の信号群8を伝えるための接続端子群であり、接続端子群50はイネーブル信号など各メモリモジュールに固有の信号群9を伝えるための接続端子群である。11、12、13、14はいずれも図1（b）で示したメモリモジュールと同一の端子配列を持つメモリモジュールであり、機器本体6および各メモリモジュール間はゼブラコネクタなど対向する接続端子とのみ導通をとる接続子を介して接続される。このため、すべてのメモリモジュールに共有の信号群8は、機器本体6の接続端子40から対向するメモリモジュール11の接続端子41に接続され、接続端子41は反対面に對向して存在する接続端子42と導通がとれているので、メモリモジュール12の接続端子43へと接続される。以降これをくり返し、メモリモジュール13、14にも同一の信号がまっすぐに伝達される。一方、各メモリモジュールに固有の信号群9のうち、信号91は対向するメモリモジュール11の接続端子51aと接続される。また、信号92は対向するメモリモジュール11の接続端子51bに接続され、接続端子51bは反対面の接続端子52bと導通が取れているので、52bと対向するメモリモジュール12の接続端子51aへと接続される。同様にして信号93はメモリモジュール13の接続端子51aに、信号94はメモリモジュール14の接続端子51aに接続される。つまり、信号群9は最終的に各メモリモジュールの接続端子51aに接続されるので、どのメモリモジュールにおいても接続端子51aを、固有の信号をメモリに伝達するための接続端子にしておけば、複数枚重ねて装着するだけですべての信号をすべてのメモリモジュールに伝達することができるようになる。

【0021】図1および図2で示した実施の形態ではひとつのみのメモリモジュールに固有の信号がひとつの場合であったが、ひとつのメモリモジュールに固有の信号が複数ある場合は、図3または図4に示す方法で対応することができます。図3に示すように接続端子群4、5の配列を2列にして、その他の構成を図1（b）で示した構成と同一にすると、各メモリモジュールあたり固有の信号を2本接続することができる。さらに配列数を増やせばより多くの固有の信号を接続できることはいうまでもない。また、図4は固有の信号を伝達するための接続端子群51と52の導通に関して、反対面に對向して存在する接続端子の隣の隣の接続端子と導通をとっている。つまり、接続端子51cは接続端子52cと、接続端子5

1dは接続端子52dと導通をとっている（以降省略）。このため、どのメモリモジュールも51a、51bの2ヶ所の接続端子を固有の信号を伝達するための接続端子として使用することができる。接続端子群51と52で導通をとる接続端子の間隔をもっと開ければより多くの固有の信号を接続できることはいうまでもない。当然、図3で示した方法と図4で示した方法を組み合わせてもよい。あるいは、図5のブロック図で示すように、本来複数の固有の信号が必要な場合でも、デコーダのような論理回路22をすべてのメモリモジュールに搭載し、それに共有の信号群84とひとつの固有の信号9を入力させ、必要な数の固有の信号91、92、93、94を出力させることで、各メモリモジュールが固有の信号を伝達するための接続端子を一本で済ますことも可能である。

【0022】図6は本発明の一実施例によるメモリモジュールの接続方法を表す図面であり、図2に示した接続方法を側面から見た図である。図6において、6は機器本体、11、12、13、14は本発明のメモリモジュールであり、機器本体6と各メモリモジュール間はゼブラコネクタ72で対向する接続端子間の導通がとられている。73は固定具で、各メモリモジュールの接続を確実に保つために機器本体6に備えられている。本実施例では、機器本体6と各メモリモジュール間の接続にゼブラコネクタ72を使用しているが、対向する接続端子同士を接続できる接続子であれば、例えばゲル状の異方性導電接着剤（ACP）や、シート状の異方性導電膜（AC-F）など他の接続子でもよい。なお異方性導電接着剤や異方性導電膜は、異方性導電接着部材に包含され、当該異方性導電接着部材の形態は、異方性導電部材に包含される。また異方性導電接着剤を用い、対向する接続端子同士を接続する場合には、接続端子の間に異方性導電接着剤を介在させるとともに、これら接続端子同士の位置決めを行いさらに圧着と加熱をなすための設備が必要となる。

【0023】図7も図6と同様に機器本体6に本発明のメモリモジュール11、12、13、14が接続されている。機器本体6や各メモリモジュール間の接続にはコネクタ7を使用しており、コネクタ7は機器本体6と第一のメモリモジュール11とを接続端子71で接続している。さらにコネクタ7は各メモリモジュール間の対向する接続端子同士の導通をとるための接点ばね74を備えており、すべてのメモリモジュールに必要な信号を伝達することができる。いずれの場合も増設可能なメモリモジュールの数をいくつ増やしても機器本体への設置面積はほとんど変わらずに済む。

【0024】図8（a）、（b）は本発明によるメモリモジュールの回路基板にフレキシブル基板を使用したときの装着方法を表す図である。図8（a）は装着前の、図8（b）は装着後の状態を表している。機器本体6は

コネクタ7を備えており、コネクタ7は必要な信号数だけ端子ばね71を有している。メモリモジュールを必要数だけコネクタ上に重ねた後、上から押さえればね76を有した押さえ治具75で押さえつける。各メモリモジュールの接続端子間に異方性導電膜などを挟んで導通をとってもよいが、図8(b)に示すようにフレキシブル基板の可とう性のため、接続端子部が端子ばね71や押さえればね76により変形されるため各接続端子間に接点が生じるので、そのままでも各メモリモジュール間の導通をとることが可能となる。

【0025】また接続端子同士の間に異方性導電接着部材を介在させれば、各メモリモジュール間に導通のためのコネクタ部材を設けることが不要となる。このため各モジュールにおける接続端子部の積層厚みをコネクタ使用時よりも薄くすることができ、またコネクタ部材を介在させないことから、機械的精度が不要となり接続端子部の狭ビッチ化を達成することが可能となる。

【0026】ところでメモリモジュールをコネクタ7と押さえ治具75とで挟み込む際、これらの位置決めをなすために凹凸嵌合構造を設けるようにしてもよい。図9は、突起部を設けたコネクタ7とメモリモジュールとの取付構造を示す説明図である。同図に示すようにコネクタ7の端部には突部10が設けられ押さえ治具75に設けた穴部(図示せず)とで凹凸嵌合構造を形成するようになっている。そしてコネクタ7および押さえ治具75に凹凸嵌合構造を用いたことにより、双方の位置にずれが生じることがなく確実にメモリモジュールを挟み込むことができる。またメモリモジュールに凸部10との嵌合が可能な貫通穴11を設けておけば、コネクタ7に対するメモリモジュールの位置決めが可能となり、接続端子同士の導通をより確実なものにすることができる。

【0027】また図10に示すように、各メモリモジュールにおける共通部のみをコネクタ7側に集約させ、その他各メモリモジュール毎の信号をジャンパ12やあるいはリード線などを用いて機器本体6側に接続するようにもよい。このように共通の接続端子をまとめて機器本体6側に接続したことから、実装面積の低減を図ることができる。

【0028】さらにメモリ3をペアチップ実装などで薄型に実装をすれば非常に薄いメモリモジュールを得ることができ、メモリカードに代表されるような厚さの限られた機器にも複数枚のメモリモジュールを搭載することができるよう、その搭載方法も非常に簡単な方法となる。またメモリ3をペアチップ実装などで薄型に実装をすれば、コンピュータの小型化が図れるとともに、大量のメモリモジュールを搭載することが可能になることはいうまでもない。

【0029】また上述したメモリモジュール1に実装されるメモリ3は、全て同じ種類である必要はなく、たとえば複数枚のメモリモジュール1の中に異なるメモリ

(SRAM、DRAM、フラッシュメモリ等)が混在していてもよい。このように異なるメモリが混在している場合には、各メモリモジュールにASIC等を搭載してアクセス方法の違いを吸収すればよい。

#### 【0030】

【発明の効果】以上説明したように本発明に係るメモリモジュールは、メモリチップが実装された回路基板と、当該回路基板の両面における対称位置に各々設けられた複数の接続端子と、当該接続端子を介して前記メモリチップとの信号の受け渡しが行われてなるメモリモジュールにおいて、前記接続端子は、前記メモリチップにおける特定の信号の受け渡しをなす第1接続端子群と、前記メモリチップにおける他の信号の受け渡しをなす第2接続端子群と、のそれぞれを有し、前記第1接続端子群の接続端子は、前記回路基板の両面における非対称位置の接続端子との間で電気的に導通されてなるとともに、前記第2の接続端子群の接続端子は、前記回路基板の両面における対称位置の接続端子との間で電気的に導通されてなることから、接続端子への信号の割り当てが同一のメモリモジュールを複数枚重ねて装着する際に、必要な信号をすべてのメモリモジュールに単純な構造で接続できるようになり、且つ汎用性を保ちつつ実装面積の増大を防止することができる。

【0031】また本発明に係るメモリモジュールの積層体は、請求項1に記載のメモリモジュールを重ね合わせ、これらメモリモジュールへの信号の受け渡しをおこなうメモリモジュールの積層体であって、前記メモリチップと電気的に導通され、対面位置に配置された前記接続端子同士をそれぞれ電気的に接続してなることから、最上段または最下段のメモリモジュールの接続端子への信号の送り出しによって積層される任意のメモリモジュールに前記信号を送り出すことができ、もって実装面積の増大を防止することができる。

【0032】また本発明に係るメモリモジュールの積層体は、接続端子を介してメモリチップとの信号の受け渡しが行われてなるメモリモジュールを機器本体に取り付けるメモリモジュールの積層体であって、前記メモリチップに対し特定の信号の受け渡しをなす接続端子であって重なり合うメモリモジュールの対面する接続端子同士を接続するとともに、他の信号の受け渡しをなす接続端子であって重なり合う前記メモリモジュールの対面する接続端子同士を接続し、これらを共通信号線とし、当該共通信号線を前記機器本体に接続したことから、積層された各メモリモジュールの選択、および選択がなされたメモリモジュールへのデータ信号等の送受が機器本体から共通信号線を介しておこなうことができ、もって実装面積の低減を図ることができる。

【0033】さらに本発明に係るメモリモジュールの積層体は、メモリチップが実装された複数のメモリモジュールを機器本体に取り付けるメモリモジュールの積層体

であって、前記メモリチップに対し特定の信号の受け渡しをなす接続端子を個々に前記機器本体に接続するとともに、他の信号の受け渡しをなす接続端子であって、重なり合う前記メモリモジュールの対面する接続端子同士を接続し、これを共通信号線とし、当該共通信号線を前記機器本体に接続したことから、実装面積の低減を図ることができる。

【0034】また本発明に係るメモリカードおよびコンピュータは、本発明に係るメモリモジュールを具備しているので、小型化が図れるとともに、狭い空間にも多数のメモリモジュールを装着できるようになる。

【図面の簡単な説明】

【図1】本発明の実施例であるメモリモジュールを表す斜視図および正面図。

【図2】本発明の実施例であるメモリモジュールにおいて信号の伝達経路を表す説明図を示す。

【図3】本発明の実施例であるメモリモジュールを表す斜視図を示す。

【図4】本発明の実施例であるメモリモジュールを表す正面図を示す。

【図5】本発明の実施例であるメモリモジュールのプロック図を示す。

【図6】本発明の実施例であるメモリモジュールの装着方法を表す側面図を示す。

【図7】本発明の実施例であるメモリモジュールの装着方法を表す側面図を示す。

【図8】本発明の実施例であるメモリモジュールの装着方法を表す側面図を示す。

【図9】突起部を設けたコネクタ7とメモリモジュールとの取付構造を示す説明図である。

\*【図10】各メモリモジュールにおける共通部のみをコネクタ7側に集約させた取付構造の説明図を示す。

【図11】従来のメモリモジュールを表す斜視図を示す。

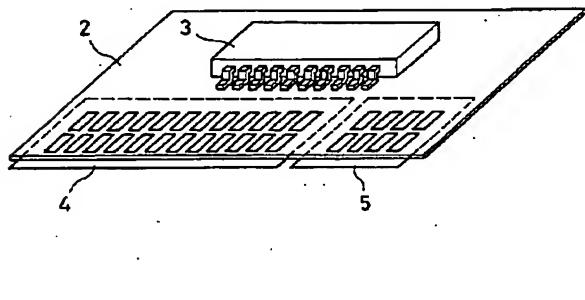
【図12】従来のメモリモジュールの装着方法を表す側面図を示す。

【図13】従来のメモリモジュールにおいて実現可能な装着方法を表す斜視図を示す。

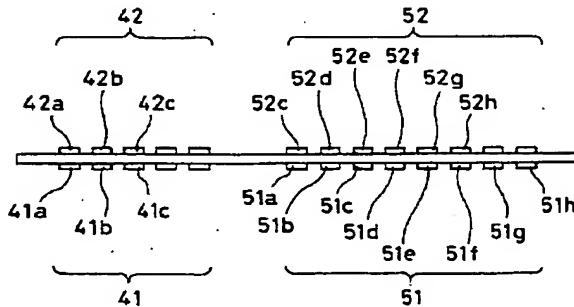
【符号の説明】

1	メモリモジュール
2	回路基板
3	メモリ
4	全メモリモジュールに共有の信号を伝達するための接続端子群
5	各メモリモジュールに固有の信号を伝達するための接続端子群
6	機器本体
7	コネクタ
8	全メモリモジュールに共有の信号
9	各メモリモジュールに固有の信号
10	突部
11	貫通穴
12	ジャンパ
101	メモリモジュール
102	回路基板
103	メモリチップ
104	接続端子
105	主基板
106	コネクタ
107	配線

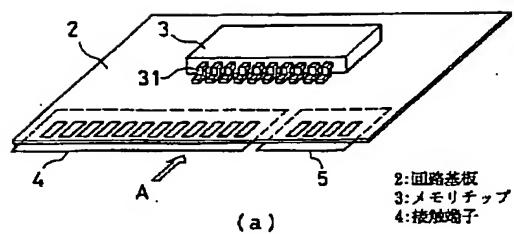
【図3】



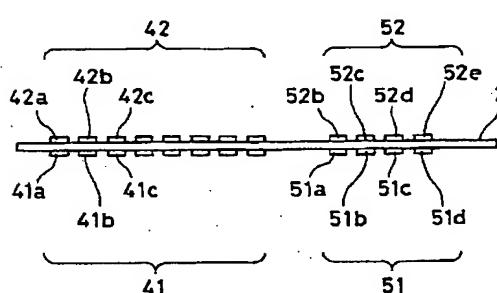
【図4】



【図1】

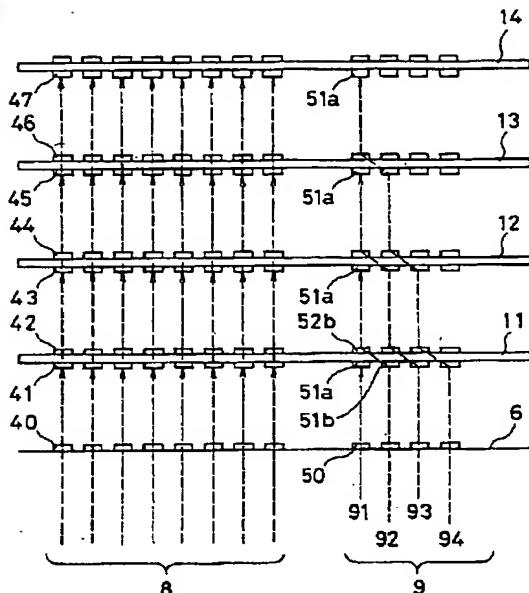


(a)

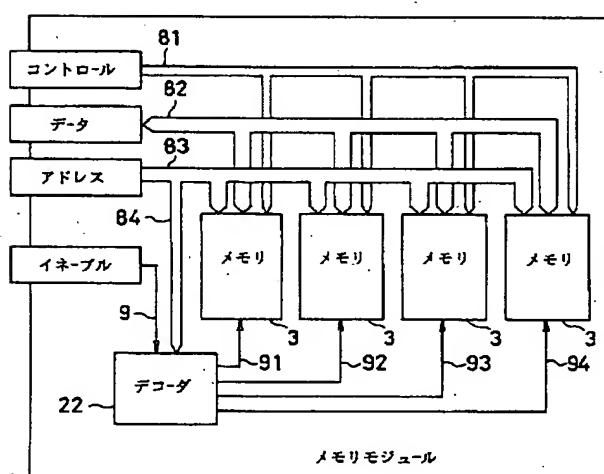


(b)

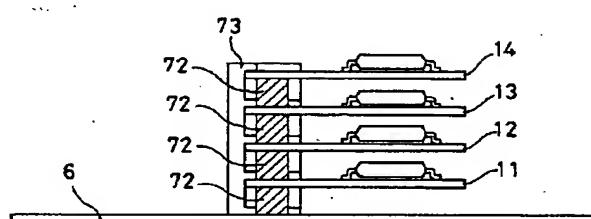
【図2】



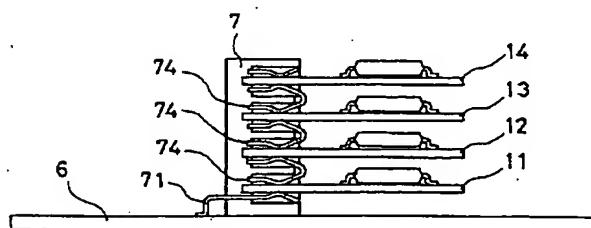
【図5】



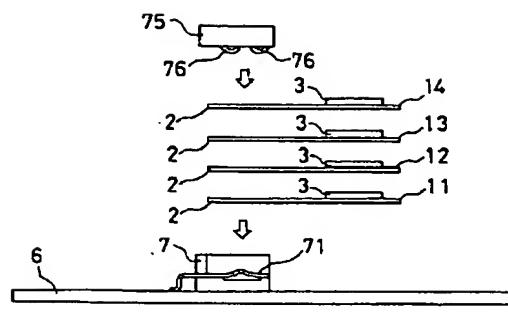
【図6】



【図7】

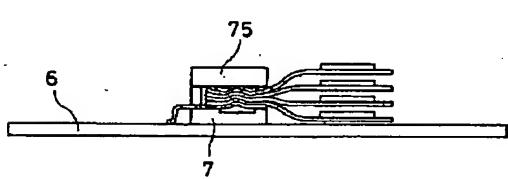
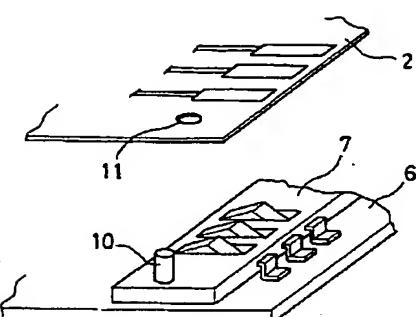


【図8】



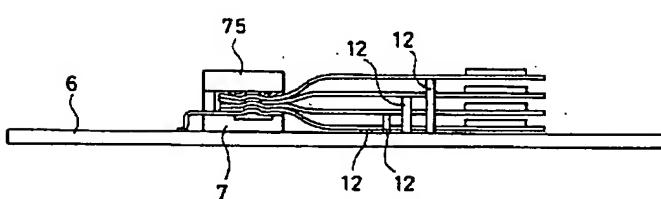
(a)

【図9】

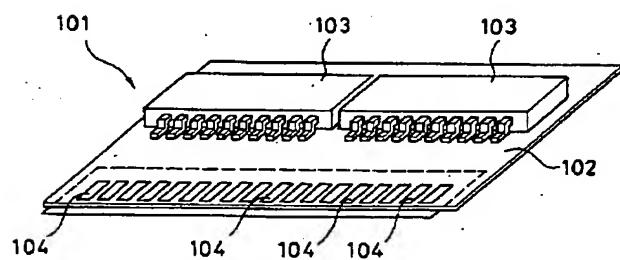


(b)

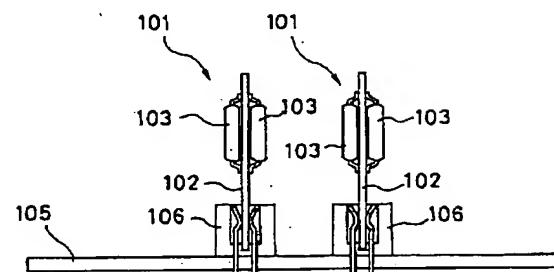
【図10】



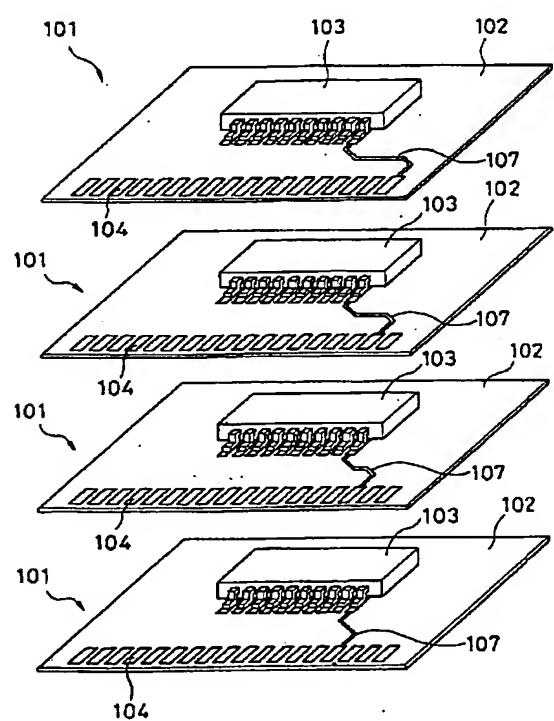
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.  
H 01 R 12/16

識別記号

F I  
H 01 R 23/68

マーク (参考)

303 E  
303 H